

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-318628
 (43)Date of publication of application : 16.11.2001

(51)Int.Cl. G09F 9/30
 H01L 29/786
 H01L 21/336
 H05B 33/14

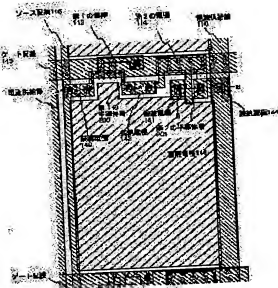
(21)Application number : 2001-053361 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
 (22)Date of filing : 28.02.2001 (72)Inventor : YAMAZAKI SHUNPEI
 KOYAMA JUN
 INUKAI KAZUTAKA

(30)Priority 2000050584 Priority 28.02.2000 Priority JP

(54) LIGHT EMITTING DEVICE AND ELECTRIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration in an EL display device and to improve the opening rate of pixels without increasing the number of masks or without using a black mask.
 SOLUTION: A first electrode 113 is formed as a gate electrode in another layer from a gate line 145. The semiconductor layer for a TFT for switching a pixel is shielded from light by overlapping with the gate line 145. Thus, deterioration in the TFT is suppressed and a high opening rate of pixels can be obtained.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】複数のソース配線と、複数のゲート配線と、複数の電流供給線と、複数の画素とを有する発光装置であって、

前記複数の画素はスイッチング用 T F T と、電流制御用 T F T と、発光素子とをそれぞれ有しており、

前記スイッチング用 T F T は、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層と、

前記半導体層上に第 1 絶縁膜と、

前記第 1 絶縁膜上に前記チャネル形成領域と重なる電極と、

前記第 1 絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に前記電極と接続されたゲート配線とを有することを特徴とする発光装置。

【請求項 2】請求項 1 において、前記半導体層は、前記ゲート配線と重なる領域を有することを特徴とする発光装置。

【請求項 3】請求項 2 において、前記ゲート配線と重なる領域は、チャネル形成領域を少なくとも含むことを特徴とする発光装置。

【請求項 4】請求項 2 または請求項 3 において、前記ゲート配線と重なる領域は、前記チャネル形成領域と前記ドレイン領域との間に存在する領域を少なくとも含むことを特徴とする発光装置。

【請求項 5】請求項 2 乃至 4 のいずれかにおいて、前記ゲート配線と重なる領域は、前記チャネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴とする発光装置。

【請求項 6】請求項 2 乃至 5 のいずれかにおいて、前記半導体層は、複数のチャネル形成領域を有し、前記ゲート配線と重なる領域は、ある一つのチャネル形成領域とその他のチャネル形成領域との間に存在する領域を少なくとも含むことを特徴とする発光装置。

【請求項 7】請求項 2 乃至 6 のいずれかにおいて、前記チャネル形成領域と重なる電極は、ゲート電極であることを特徴とする発光装置。

【請求項 8】請求項 1 乃至 7 のいずれかにおいて、前記電極及び前記ソース配線は同一材料で形成されたことを特徴とする発光装置。

【請求項 9】請求項 1 乃至 8 のいずれかにおいて、前記ゲート配線は、導電性を付与する不純物元素がドーパされた poly-Si 、 W 、 WSi 、 Al 、 Cu 、 T a 、 C r 、または M o から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする発光装置。

【請求項 10】複数のソース配線と、複数の第 1 のゲート配線と、複数の電流供給線と、複数の第 2 のゲート配

線と、複数の画素とを有する発光装置であって、前記複数の画素はスイッチング用 T F T と、電流制御用 T F T と、消去用 T F T と、発光素子とをそれぞれ有しており、

前記スイッチング用 T F T は、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層と、

前記半導体層上に第 1 絶縁膜と、

前記第 1 絶縁膜上に前記チャネル形成領域と重なる電極と、

前記第 1 絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に前記電極と接続された第 1 のゲート配線とを有することを特徴とする発光装置。

【請求項 11】複数のソース配線と、複数の第 1 のゲート配線と、複数の電流供給線と、複数の第 2 のゲート配線と、複数の画素とを有する発光装置であって、前記複数の画素はスイッチング用 T F T と、電流制御用 T F T と、消去用 T F T と、発光素子とをそれぞれ有しており、

前記消去用 T F T は、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層と、

前記半導体層上に第 1 絶縁膜と、

前記第 1 絶縁膜上に前記チャネル形成領域と重なる第 1 の電極と、

前記第 1 絶縁膜上に第 2 の電極と、

前記第 1 の電極及び前記第 2 の電極を覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に前記第 1 の電極と接続された第 2 のゲート配線とを有することを特徴とする発光装置。

【請求項 12】請求項 11 において、前記半導体層は、前記第 2 のゲート配線と重なる領域を有することを特徴とする発光装置。

【請求項 13】請求項 12 において、前記第 2 のゲート配線と重なる領域は、チャネル形成領域を少なくとも含むことを特徴とする発光装置。

【請求項 14】請求項 11 乃至 13 のいずれかにおいて、前記チャネル形成領域と重なる第 1 の電極は、ゲート電極であることを特徴とする発光装置。

【請求項 15】請求項 11 乃至 14 のいずれかにおいて、前記第 2 の電極は電流制御用 T F T のゲート電極であり、且つスイッチング用 T F T のドレイン領域と接続されたことを特徴とする発光装置。

【請求項 16】請求項 11 乃至 15 のいずれかにおいて、前記第 1 のゲート配線及び前記第 2 のゲート配線は同一材料で形成されたことを特徴とする発光装置。

【請求項 17】請求項 11 乃至 16 のいずれかにおい

て、前記第1のゲート配線及び前記第2のゲート配線は、導電性を付与する不純物元素がドーパされたp o l y - S i、W、W S i x、A l、C u、T a、C r、またはM oから選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする発光装置。

【請求項18】請求項1乃至16のいずれかにおいて、前記発光装置を、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器から選ばれた一つの表示部に用いたことを特徴とする電気器具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたE L（エレクトロルミネッセンス）表示装置及びそのE L表示装置を表示ディスプレイ（表示部）として用いた電気器具に関する。

【0002】

【従来の技術】近年、基板上にT F Tを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたT F Tは、従来のアモルファスシリコン膜を用いたT F Tよりも電界効果移動度（モビリティという）が高いので、高速動作が可能である。

【0003】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【0004】アクティブマトリクス型E L表示装置は、各画素のそれぞれにT F Tでなるスイッチング素子（以下、スイッチング用T F Tによって電流制御を行う駆動素子（以下、電流制御用T F Tという）を動作させてE L層（厳密には発光層）を発光させる発光装置である。例えば特開平10-189252号に記載されたE L表示装置がある。

【0005】

【発明が解決しようとする課題】アクティブマトリクス型E L表示装置は、光の放射方向で2通りの構造が考えられる。一つは、発光素子（以下、E L素子と呼ぶ）から発した光が対向基板を透過して放射されて観測者の目に入る構造である。この場合、観測者は対向基板側から画像を認識することができる。もう一つは、E L素子から発した光が素子基板を透過して放射されて観測者の目に入る構造である。この場合、観測者は素子基板側から画像を認識することができる。

【0006】前者の構造は、外部からの光が対向基板を透過して、各画素電極の間隙に存在するT F Tに照射され、T F Tの劣化が生じていた。ただし、外部からの光はそれほど強力ではないためT F Tの劣化は大きいもの

ではなかった。

【0007】一方、一般的に多く用いられている後者の構造は、E L素子から発した光が素子基板を透過して放射されるため、E L素子から発した光がT F Tに照射され、T F Tの劣化が生じ大きな問題となっていた。

【0008】また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が高く、表示装置の省電力化および小型化が達成できる。

【0009】近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1つの画素に占めるT F T及び配線の形成面積が大きくなり画素開口率を低減させている。

【0010】そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【0011】以上のように、少ないマスク数で画素開口率の高いアクティブマトリクス型E L表示装置を実現するためには、従来にない全く新しい画素構成が求められている。

【0012】本発明は、そのような要求に答えるものであり、マスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有するE L表示装置を提供することを課題とする。

【0013】

【課題を解決するための手段】上述した従来技術の課題を解決するために以下の手段を講じた。

【0014】本発明は、ブラックマトリクスを用いることなく、T F T及び画素間を遮光する画素構造を特徴としている。T F Tを遮光する手段の一つとして、ゲート電極とソース配線とを第1絶縁膜上に形成し、活性層となる半導体層の大部分を第1絶縁膜とは異なる第2絶縁膜上に形成されたゲート配線で覆うことを特徴としている。また、画素間を遮光する手段の一つとして、画素電極をソース配線と重ねて配置することも特徴としている。

【0015】なお、上記T F Tは、画素に配置されたスイッチング用T F T、あるいは電流制御用T F Tを指している。

【0016】本明細書で開示する発明の構成は、複数のソース配線と、複数のゲート配線と、複数の電流供給線と、複数の画素とを有する発光装置であって、前記複数の画素はスイッチング用T F Tと、電流制御用T F Tと、発光素子とをそれぞれ有しており、前記スイッチング用T F Tは、絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層（第1の半導体層200）と、前記半導体層（第1の半導体層200）上に第1絶縁膜（ゲート絶縁膜）と、前記第1絶縁

膜上に前記チャネル形成領域と重なる電極（第1の電極113）と、前記第1絶縁膜上にソース配線（115）と、前記電極（第1の電極113）及び前記ソース配線を覆う第2絶縁膜と、前記第2絶縁膜上に前記電極（第1の電極113）と接続されたゲート配線（145）とを有することを特徴とする発光装置である。

【0017】また、上記構成において、前記半導体層（第1の半導体層200、900）は、前記ゲート配線と重なる領域を有することを特徴としている。

【0018】また、上記ゲート配線と重なる領域は、チャネル形成領域、あるいは、前記チャネル形成領域と前記ドレイン領域との間に存在する領域、あるいは、前記チャネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴としており、外部からの光から保護されている。

【0019】また、絶縁膜を介して一つの半導体層上に複数のゲート電極が存在するマルチゲート構造の場合は、一つの半導体層に複数のチャネル形成領域が存在しており、あるチャネル形成領域とその他のチャネル形成領域との間に存在する領域と重なるように前記ゲート配線を配置することが望ましい。

【0020】また、マスク数の増加を抑えるために、前記第1絶縁膜上に前記電極及び前記ソース配線が同一材料で形成され、前記第2絶縁膜上に前記画素電極、前記接続電極、及び前記ゲート配線が同一材料で形成されたことを特徴としている。

【0021】また、他の発明の構成は、複数のソース配線と、複数の第1のゲート配線と、複数の電流供給線と、複数の第2のゲート配線と、複数の画素とを有する発光装置であって、前記複数の画素はスイッチング用TFTと、電流制御用TFTと、消去用TFTと、発光素子とをそれぞれ有しており、前記スイッチング用TFTは、絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層（第1の半導体層900）と、前記半導体層（第1の半導体層900）上に第1絶縁膜（ゲート絶縁膜）と、前記第1絶縁膜上に前記チャネル形成領域と重なる電極（第1の電極805）と、前記第1絶縁膜上にソース配線（803）と、前記電極（第1の電極805）及び前記ソース配線（803）を覆う第2絶縁膜と、前記第2絶縁膜上に前記電極（第1の電極805）と接続された第1のゲート配線（801）とを有することを特徴とする発光装置である。

【0022】また、他の発明の構成は、複数のソース配線と、複数の第1のゲート配線と、複数の電流供給線と、複数の第2のゲート配線と、複数の画素とを有する発光装置であって、前記複数の画素はスイッチング用TFTと、電流制御用TFTと、消去用TFTと、発光素子とをそれぞれ有しており、前記消去用TFTは、絶縁

表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層と、前記半導体層上に第1絶縁膜（ゲート絶縁膜）と、前記第1絶縁膜上に前記チャネル形成領域と重なる第1の電極（第3の電極807）と、前記第1絶縁膜上に第2の電極（第2の電極806）と、前記第1の電極（第3の電極807）及び前記第2の電極（第2の電極806）を覆う第2絶縁膜と、前記第2絶縁膜上に前記第1の電極（第3の電極807）と接続された第2のゲート配線（802）とを有することを特徴とする発光装置である。

【0023】また、上記構成において、前記半導体層は、前記第2のゲート配線（802）と重なる領域を有することを特徴としており、少なくともチャネル形成領域と前記第2のゲート配線（802）とが重なる。

【0024】また、上記第2のゲート配線（802）と重なる領域は、チャネル形成領域、あるいは、前記チャネル形成領域と前記ドレイン領域との間に存在する領域、あるいは、前記チャネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴としており、外部からの光から保護されている。

【0025】また、上記構成において、前記チャネル形成領域と重なる第1の電極（第3の電極807）は、消去用TFTのゲート電極である。

【0026】また、上記構成において、前記第2の電極（第2の電極806）は電流制御用TFTのゲート電極であり、且つスイッチング用TFTのドレイン領域と接続されたことを特徴としている。

【0027】また、マスク数の増加を抑えるために、前記第1のゲート配線及び前記第2のゲート配線は同一材料で形成されたことを特徴としている。

【0028】

【発明の実施形態】本発明の実施形態について、以下に説明する。

【0029】本発明のEL表示装置は、基本的な構成として、素子基板上に画素がマトリクス状に配置されている画素部と、画素部を駆動する駆動回路を有している。

【0030】各画素には各々スイッチング用TFTと電流制御用TFTの二つが形成される。このときスイッチング用TFTのドレインは電流制御用TFTのゲートに電気的に接続されている。さらに、電流制御用TFTのドレインには画素電極が電気的に接続される。こうして画素部が形成される。

【0031】また、画素を駆動するための駆動回路は、nチャネル型TFTとpチャネル型TFTで形成されている。

【0032】本発明の画素構造の具体例を図1に示す。また、図1に示す画素構造の等価回路を図2に示した。ただし、ここでは画素内に二つのTFTを形成している例を示したが、画素内に三つのTFTを形成する画素構

造としてもよい。

【0033】図1及び図2に示すように、画素部は、行方向に配置されたゲート配線145と、列方向に配置されたソース配線115、電流供給線116と、ゲート配線及びソース配線と接続しているスイッチング用TFT 202と、発光素子204及び電流供給線と接続している電流制御用TFT 203と、保持容量207とを含んでいる。

【0034】ただし、図1におけるゲート配線は、行方向に配置された島状の第1の電極113と接続したものを指している。また、ゲート配線145は第2絶縁膜上に接して設けられたものである。一方、島状の第1の電極113は、ソース配線137、電流供給線116と同様に第1絶縁膜（以下、ゲート絶縁膜とも呼ぶ）上に接して形成されたものである。

【0035】また、接続電極140は接続電極141、接続電極143、接続電極144、およびゲート配線145と同様に第2絶縁膜（以下、層間絶縁膜とも呼ぶ）上に形成されたものである。

【0036】また、電流制御用TFTと接続している接続電極141と接して重なるように画素電極146を配置する。また、画素電極146の端部はソース配線115と重なる。なお、この画素電極146を陽極として、E層、陰極、保護電極等を形成し、アクティブマトリクス型EL表示装置が完成する。本明細書では、陽極、E層、及び陰極で形成される発光素子をEL素子と呼ぶ。

【0037】また、E層は通常、積層構造となっており、代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」の積層構造が挙げられる。また、他にも正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。また、発光層に対して蛍光色素等をドープングしてもよい。本明細書において、上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等の全ての層を総称してE層に含まれる。

【0038】本発明の画素構造とすることによって、TFTの活性層はゲート配線と重ねることが可能となり、遮光することができ。

【0039】少なくとも素子基板上のスイッチング用TFTを遮光するため、第1の半導体層200のうち少なくともチャンネル形成領域は、ゲート配線145により遮光されるよう配置する。また、チャンネル形成領域以外にも、チャンネル形成領域と前記ドレイン領域との間に存在する領域（LDD領域、オフセット領域等）や、チャンネル形成領域と前記ソース領域との間に存在する領域をゲート配線145により遮光することが望ましい。また、図1の構造はマルチゲート構造となっているため一つの半導体層には、複数のチャンネル形成領域が存在してい

る。従って、あるチャンネル形成領域とその他のチャンネル形成領域との間に存在する領域もゲート配線145によって遮光することが望ましい。

【0040】なお、スイッチング用TFTをマルチゲート構造とすることによってスイッチング用TFTのオフ電流を下げることもできる。また、電流制御用TFTをマルチゲート構造とすれば、電流制御用TFTの熱による劣化を抑えることができる。

【0041】このゲート配線145は、ゲート電極となる第1の電極113が設けられた絶縁膜とは異なる絶縁膜上に接して形成されている。

【0042】このような構成とすることによって、素子基板のスイッチング用TFTは、ゲート配線145により遮光することができる。

【0043】また、一つの画素のコンデンサ（保持容量、補助容量とも言う）は、第2の半導体層201を覆う絶縁膜を誘電体とし、第2の半導体層201と、第2の電極114とで形成している。この第2の半導体層は保持容量を構成する一方の電極の機能を有するとともに電流制御用TFTの活性層としても機能する。また、第2の電極114は、保持容量を構成する一方の電極の機能を有するとともに接続電極143によってスイッチング用TFTのドレイン領域と電気的に接続している。さらに、第2の電極114の一部は、電流制御用TFTのゲート電極として機能する。

【0044】また、電流制御用TFTはpチャネル型TFTであり、第2の半導体層の一部はp型を付与する不純物元素が添加されている。保持容量の一方の電極となる第2の半導体層の部分にもp型を付与する不純物元素が添加されている。

【0045】なお、ここでは第2の電極を用いて保持容量を形成しているが、特に限定されず、容量配線や容量電極を配置する画素構造としてもよい。

【0046】また、図1に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数は、6枚とすることができる。即ち、1枚目は、第1の半導体層200及び第2の半導体層201をパターンニングするマスク、2枚目は、第1の電極113、第2の電極114、ソース配線115、及び電流供給線116をパターンニングするマスク、3枚目は、第2の半導体層201にp型を付与する不純物元素を添加する際、nチャネル型TFTを覆うためのマスク、4枚目は、第1の半導体層と第2の半導体層と第1の電極と第2の電極とソース配線と電流供給線とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極140、141、143、144、及びゲート配線145をパターンニングするためのマスク、6枚目は画素電極146をパターンニングするためのマスクである。

【0047】以上のように、図1に示す画素構造とした場合、少ないマスク数で画素開口率の高いアクティブマ

トリクス型E_L表示装置を実現することができる。
 【0048】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0049】

【実施例】【実施例1】本発明の実施例について図3～図6を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。なお、ここでは、1つの画素に2つのTFTを有する画素構造を示す。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

【0050】まず、図3(A)に示すように、ガラス基板100上に下地膜101を300nmの厚さに形成する。本実施例では下地膜101として窒化酸化ヒ素素膜を積層して用いる。この時、ガラス基板100に接する方の窒素濃度を10～25wt%としておくことと良い。

【0051】また、下地膜101の一部として、材料としては、ヒ素素を含む絶縁膜（特に窒化酸化ヒ素素膜又は窒化ヒ素素膜が好ましい）を用いることができる。電流制御用TFTは大電流を流すことになるので発熱しやすくなるべく近いところに放熱効果のある絶縁膜を設けておくことは有効である。

【0052】次に、下地膜101の100nmの厚さの非晶質ヒ素素膜（図示せず）を公知の成膜法で形成する。なお、非晶質ヒ素素膜に限定するのではなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

【0053】そして、公知の技術により非晶質ヒ素素膜を結晶化し、結晶質ヒ素素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）102を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeC₁ガスをを用いたエキシマレーザ光を用いて結晶化する。

【0054】なお、本実施例では線状に加工したパルス発振型のエキシマレーザ光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザ光や連続発振型のエキシマレーザ光を用いることもできる。

【0055】本実施例では結晶質ヒ素素膜をTFTの活性層として用いるが、非晶質ヒ素素膜を用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用TFTの活性層を非晶質ヒ素素膜で形成し、電流制御用TFTの活性層を結晶質ヒ素素膜で形成することも可能である。非晶質ヒ素素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質ヒ素素膜と電流を流しやすい結晶質ヒ素素膜の

両者の利点を生かすことができる。

【0056】次に、図3(B)に示すように、結晶質ヒ素素膜102上に酸化ヒ素素膜でなる保護膜103を130nmの厚さに形成する。この厚さは100～200nm（好ましくは130～170nm）の範囲で選べば良い。また、ヒ素素を含む絶縁膜であれば他の膜でも良い。この保護膜103は不純物を添加する際に結晶質ヒ素素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0057】そして、その上にレジストマスク104a、104bを形成し、保護膜103を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砷素を用いることができる。なお、本実施例ではホスフィン（PH₃）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを1×10¹⁸atoms/cm²の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0058】この工程により形成されるn型不純物領域105には、n型不純物元素が2×10¹⁸～5×10¹⁹atoms/cm²（代表的には5×10¹⁷～5×10¹⁸atoms/cm²）の濃度で含まれるようにドーズ量を調節する。

【0059】次に、図3(C)に示すように、保護膜103およびレジスト104a、104bを除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザ光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザ光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質ヒ素素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜103をつけたままレーザ光を照射しても良い。

【0060】なお、このレーザ光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

【0061】この工程によりn型不純物領域105の端部、即ち、n型不純物領域105の周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0062】次に、図3(D)に示すように、結晶質ヒ素素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）106～109を形成する。

【0063】次に、図3(E)に示すように、活性層106～109を覆ってゲート絶縁膜110を形成する。ゲート絶縁膜110としては、10～200nm、好ま

しくは50~150nmの厚さの珪素を含む絶縁膜を用い
れば良い。これは単層構造でも積層構造でも良い。本
実施例では110nm厚の窒化酸化珪素膜を用いる。

【0064】次に、200~400nm厚の導電膜を形
成し、パターンニングしてゲート電極111~114、ソ
ース配線115、及び電流供給線116を形成する。こ
のゲート電極111~114、ソース配線115、及び
電流供給線116の端部をテーパ状にすることもでき
る。なお、本実施例ではゲート電極と、ゲート電極に電
氣的に接続された引き回しのための配線（以下、ゲート
配線という）とを別の絶縁膜上に形成する。

【0065】また、ゲート電極は単層の導電膜で形成し
ても良いが、必要に応じて二層、三層といった積層膜と
することが好ましい。ゲート電極の材料としては公知の
あらゆる導電膜を用いることができる。ただし、上述の
ように微細加工が可能、具体的には2μm以下の線幅に
パターンニング可能な材料が好ましい。

【0066】代表的には、タンタル（Ta）、チタン
（Ti）、モリブデン（Mo）、タングステン（W）、
クロム（Cr）、シリコン（Si）から選ばれた元素で
なる膜、または前記元素の窒化物膜（代表的には窒化タ
ンタル膜、窒化タングステン膜、窒化チタン膜）、また
は前記元素を組み合わせた合金膜（代表的にはMo-W
合金、Mo-Ta合金）、または前記元素のシリサイド
膜（代表的にはタングステンシリサイド膜、チタンシリ
サイド膜）を用いることができる。勿論、単層で用いて
も積層して用いても良い。

【0067】本実施例では、50nm厚の窒化タングス
テン（WN）膜と、350nm厚のタングステン（W）
膜とでなる積層膜を用いる。これはスパッタ法で形成す
れば良い。また、スパッタガスとしてXe、Ne等の不
活性ガスを添加すると応力による膜はがれを防止するこ
とができる。

【0068】また、この時、ゲート電極112はn型不
純物領域105の一部とゲート絶縁膜110を挟んで重
なるように形成する。この重なった部分が後にゲート電
極と重なったLDD領域となる。

【0069】次に、図4（A）に示すように、ゲート電
極111~114を含む第1の電極をマスクとして自己
整合的にn型不純物元素（本実施例ではリン）を添加す
る。こうして形成される不純物領域117~124には
n型不純物領域105の1/2~1/10（代表的には
1/3~1/4）の濃度でリンが添加されるように調節
する。具体的には、 $1 \times 10^{18} \sim 5 \times 10^{18} \text{ atoms/cm}^2$
（典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^2$ ）の濃
度が好ましい。

【0070】次に、図4（B）に示すように、ゲート電
極等を覆う形でレジストマスク125a~125dを形
成し、n型不純物元素（本実施例ではリン）を添加し
高濃度にリンを含む不純物領域126~130を形成す

る。ここでもホスフィン（PH₃）を用いたイオンド
ープ法で行い、この領域のリンの濃度は $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^2$ （代表的には $2 \times 10^{18} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ ）となるように調節する。

【0071】この工程によってnチャネル型TFTのソ
ース領域若しくはドレイン領域が形成されるが、スイ
ッチング用TFTでは、図4（A）の工程で形成したn型
不純物領域120~122の一部を残す。

【0072】次に、図4（C）に示すように、レジスト
マスク125a~126dを除去し、新たにレジストマ
スク131を形成する。そして、p型不純物元素（本実
施例ではボロン）を添加し、高濃度にボロンを含む不純
物領域132~135を形成する。ここではジボラン
（B₂H₆）を用いたイオンドープ法により $3 \times 10^{18} \sim 3 \times 10^{19} \text{ atoms/cm}^2$ （代表的には $5 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^2$ ）濃度となるようにボロンを添加する。

【0073】なお、不純物領域132~135には既に
 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^2$ の濃度でリンが添加
されているが、ここで添加されるボロンはその少なくと
も3倍以上の濃度で添加される。そのため、予め形成さ
れていたn型の不純物領域は完全にp型に反転し、p型
の不純物領域として機能する。

【0074】次に、図4（D）に示すように、レジスト
マスク131を除去する。

【0075】次に、図5（A）に示すように、第1層間
絶縁膜136を形成した後、それぞれの濃度で添加され
たn型またはp型不純物元素を活性化させる。第1層間絶
縁膜136としては、珪素を含む絶縁膜を単層で用いる
か、2種類以上の珪素を含む絶縁膜を組み合わせた積層
膜を用いれば良い。また、膜厚は400nm~1.5μ
mとすれば良い。本実施例では、200nm厚の窒化酸
化珪素膜を形成した。活性化手段としては、ファース
トアニール法、レーザーアニール法、またはランプアニ
ール法で行うことができる。本実施例では電熱炉におい
て窒素雰囲気中、550℃、4時間の熱処理を行う。

【0076】このとき、第1層間絶縁膜はゲート電極の
酸化を防止する役目を果たしている。

【0077】さらに、3~100%の水素を含む雰囲気
中で、300~450℃で1~12時間の熱処理を行い
水素化処理を行う。この工程は熱的に励起された水素に
より半導体膜の不對結合手を水素終端する工程である。
水素化の他の手段として、プラズマ水素化（プラズマに
より励起された水素を用いる）を行っても良い。

【0078】なお、第1層間絶縁膜136に積層膜を用
いる場合、一つの層を形成する工程と他の層を形成する
工程との間に水素化処理を行っても良い。

【0079】次に、活性化工程が終了したら図5（B）
に示すように、第2層間絶縁膜137を形成した後、第
1層間絶縁膜136、第2層間絶縁膜137、及びゲー
ト絶縁膜110に対してコンタクトホールを形成し、各

13
配線（接続電極を含む）138～145をパターンニング形成した後、接続電極141に接する画素電極146をパターンニング形成する。なお、図1は、この画素電極146形成後の上面図を示しており、図1中の開口部A-A'または点線B-B'で切断した断面図が図5(B)にそれぞれ対応している。

【0080】第2層間絶縁膜137としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜1345は平坦化の意味合いが強いので、平坦性に優れた345は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。

【0081】コンタクトホール137の形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域126～130またはp型の不純物領域132～135に達するコンタクトホール、ソース配線115に達するコンタクトホール、電流供給線116に達するコンタクトホール、及びゲート電極113に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0082】また、配線（接続電極を含む）138～145として、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜でも良い。

【0083】また、138はp型の不純物領域132と接続するソース配線、139はn型の不純物領域127と接続するソース配線、142はp型の不純物領域133及びn型の不純物領域126と接続するドレイン配線である。また、140はソース配線115とn型の不純物領域128とを接続する接続電極である。また、144は電流供給線116とp型の不純物領域135とを接続する接続電極である。また、図5では図示しないが、145はゲート配線であり、ゲート電極113とコンタクトホールを通じて接続されている。また、図5では図示しないが、143はn型の不純物領域130とゲート電極114とを接続する接続電極である。141は後の工程で形成する画素電極とp型の不純物領域134とを接続する接続電極である。

【0084】また、本実施例では、画素電極146としてITO膜を110nmの厚さに形成し、パターンニングを行った。画素電極146を接続電極141と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極146がEL素子の陽極となる。

【0085】次に、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500nmの厚さに形成し、画素電極14

6に対応する位置に開口部を形成して第3層間絶縁膜147を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかでないことと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0086】次に、EL層148及び陰極（MgAg電極）149を、真空蒸着法を用いて大気解放しながら連続形成する。なお、EL層148の膜厚は800～200nm（典型的には100～120nm）、陰極149の厚さは180～300nm（典型的には200～250nm）とすれば良い。

【0087】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次、EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いず、各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

【0088】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様にして青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0089】ここではRGBに対応した三種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いてもよい。

【0090】なお、EL層148としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他材料であっても良い。

【0091】次いで、EL層及び陰極を覆って保護電極150を形成する。この保護電極150としてはアルミニウムを主成分とする導電膜を用い、例えば、保護電極150はEL層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層及

び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0092】最後に、窒化珪素膜となるパッシベーション膜151を300nmの厚さに形成する。実際には保護電極150がEL層を水分等から保護する役割を果たすが、さらにパッシベーション膜151を形成しておくことで、EL素子の信頼性をさらに高めることができる。

【0093】こうして図5(C)に示すような構造のアクティブマトリクス型EL表示装置が完成する。ところ
10 で、本実施例のアクティブマトリクス型EL表示装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0094】まず、極力動作速度を落とさないように、ホットキャリア注入を低減させる構造を有するTFTを、駆動回路を形成するCMOS回路のnチャネル型TFT205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフト、サンプリング回路(サンプル及びホール回路)などが含まれ
20 205として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフト、サンプリング回路(サンプル及びホール回路)などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれる。

【0095】本実施例の場合、図5(C)に示すように、nチャネル型205の活性層は、ソース領域152、ドレイン領域153、LDD領域154及びチャネル形成領域155を含み、LDD領域154はゲート絶縁膜110を挟んでゲート電極112と重なっている。
【0096】ドレイン領域側のみLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT205はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視する方がよい。従って、LDD領域154は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0097】また、CMOS回路のpチャネル型TFT206は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFT205と同様にLDD領域を設け、ホットキャリア対策を講じることでも可能である。

【0098】なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用TFTと電流制御用TFTの中間程度の機能
30 を有するTFTを配置することが望ましい。

【0099】なお、実際には図5(C)で完成した
ら、さらに外気に曝されないように気密性の高い保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム

等)やセラミックス製シーリングカンなどのハウジング材でパッケージング(封入)することが好ましい。その際、ハウジング材の内部を不活性雰囲気中にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置することでEL層の信頼性(寿命)が向上する。

【0100】また、パッケージング等の処理により気密性を高めたり、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷できる状態にまでしたEL表示装置を本明細書中ではELモジュールという。

【0101】なお、図6(A)は上記作製方法で得られたELモジュール(EL表示装置)の上面図であり、図6(B)はその断面図である。

【0102】図6(A)において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0103】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0104】また、図6(B)は図6(A)をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを区別している。)4201及び画素部4002に含まれる電流制御用TFT(EL素子への電流を制御するTFT)4202が形成されている。

【0105】本実施例では、駆動TFT4201には図5(C)のpチャネル型TFTまたはnチャネル型TFTと同じ構造のTFTが用いられ、電流制御用TFT4202には図5(C)のpチャネル型TFTと同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0106】電流制御用TFT4202のドレイン配線に重ねて画素TFT4202のドレインと電気的に接続する画素電極(陽極)4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いてもよい。

【0107】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極430

17

2の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネッセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。また、EL層として三重項励起により発光(蛍光)する発光材料(シンプレット化合物)からなる薄膜、または三重項励起により発光(リン光)する発光材料(トリプレット化合物)からなる薄膜を用いることができる。

[0108] EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いられ良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

[0109] EL層4304の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれら他の導電膜との積層膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、陰極4304を窒素または希ガス雰囲気中形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

[0110] そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

[0111] 以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

[0112] カバー材4102としては、ガラス材、金属材料(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiber Glass Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

[0113] 但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければなら

ない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

[0114] また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブタール)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着する物質(酸化防止剤等)を設けておくことEL素子の劣化を抑制できる。

[0115] また、充填材4103の中にスペーサを含ませてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂層を設けることも有効である。

[0116] また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電気的に接続される。

[0117] また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして、図6(A)の外観を有し、図6(B)及び図5(C)の断面構造を有するEL表示装置となる。

[0118] [実施例2] 実施例1では、結晶質珪素膜102の形成手段としてレーザ結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

[0119] 本実施例では、非晶質珪素膜を形成した後、特開平7-130652号公報に記載された技術を用いて結晶化を行う。同公報に記載された技術は、結晶化を促進(助長)する触媒として、ニックル等の元素を用い、結晶性の高い結晶質珪素膜を得る技術である。

[0120] また、結晶化工程が終了した後、結晶化に用いた触媒を除去する工程を行っても良い。その場合、特開平10-270363号若しくは特開平8-330602号に記載された技術により触媒をゲッタリングすれば良い。

[0121] また、本出願人による特開平11-076967号の出願明細書に記載された技術を用いてTFTを形成しても良い。

[0122] 以上のように、実施例1に示した作製工程は一実施例であって、図1又は図5(C)の構造が実現できるのであれば、他の作製工程を用いても問題はな

い。

【0123】【実施例3】本発明のEL表示装置を駆動するにあたって、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用いたデジタル駆動を行うこともできる。

【0124】アナログ駆動を行う場合、スイッチング用TFTのソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用TFTのゲート電圧となる。そして、電流制御用TFTでEL素子に流れる電流を制御し、EL素子の発光強度を制御して階調表示を行う。

【0125】一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割階調方式と呼ばれる階調表示を行う。即ち、発光時間の長さを調節することで、視覚的に色階調が変化しているように見える。

【0126】EL素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1フレームを複数のサブフレームに分割して階調表示を行う時分割階調方式に適した素子であると言える。

【0127】このように、本発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

【0128】なお、本実施例の構成は、実施例1または実施例2の構成とも自由に組み合わせることが可能である。

【0129】【実施例4】本実施例では、実施例1とは異なる画素構造の上面図を図7(A)に示す。なお、本実施例は、保持容量の構成が異なるのみであり、それ以外の構成は実施例1とは同一である。また、図7(B)は図7(A)中の点線C-C'で切断した断面図、図7(C)は図7(A)中の点線D-D'で切断した断面図を示している。なお、同じ符号を用いた部分はそれぞれ実施例1と対応している。

【0130】まず、実施例1に従って図5(A)の状態を得る。ただし、実施例1とは第2の電極の形状が多少異なり、後の工程で形成される容量電極と接続する部分を有している。次いで、有機樹脂からなる層間絶縁膜を形成し、エッチングを行いコンタクトホールを形成する。本実施例では、第2の電極に達する2個のコンタクトホールが形成される。また、本実施例では、まず、有機樹脂からなる層間絶縁膜を選択的に除去して、コンタクトホール部分と電流供給線と重なる部分を除去する。次いで、マスクを1枚増やし、電流供給線と重なる部分の層間絶縁膜136をマスクで覆った後、エッチングを行いコンタクトホールを形成する。こうして、電流供給線と重なる部分とコンタクトホール部分とが除去された層間絶縁膜702が得られる。

【0131】次いで、ゲート配線145、接続電極141、143、144、及び容量電極703を形成する。

この容量電極703は、第2の電極701と電気的に接続されている電極である。こうして、図7(C)に示すように第1絶縁膜138を誘電体として容量電極703と電流供給線116とで保持容量が形成される。

【0132】このような構成とすることでさらなる保持容量の増加を図ることができる。

【0133】なお、図7(B)において示したように、実施例1と同様に絶縁膜110を誘電体として第2の半導体層201と第2の電極701とで保持容量が形成される。

【0134】なお、本実施例は実施例1乃至3のいずれか一と自由に組み合わせることができる。

【0135】【実施例5】実施例1ではEL層として有機EL材料を用いることが好ましいとしたが、本発明は無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならぬ。

【0136】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0137】また、本実施例の構成は、実施例1~3のいずれの構成とも自由に組み合わせることが可能である。

【0138】【実施例6】本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系(高分子系)有機物質であっても良い。低分子系有機物質はAlq₃(トリス-8-キノリリトールアルミニウム)、TPD(トリフェニルアミン誘導体)等を中心とした材料が知られている。ポリマー系有機物質として、π共役ポリマー系の物質が挙げられる。代表的には、PPV(ポリフェニルビニレン)、PVK(ポリビニルカルbazol)、ポリカーボネート等が挙げられる。

【0139】ポリマー系(高分子系)有機物質は、スピンコーティング法(溶液塗布法ともいう)、ディッピング法、ディスペンサ法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0140】また、本発明のELディスプレイが有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi_{1-x}C_x等の非晶質半導体で構成しても良い。

【0141】非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0142】また、有機EL層にドーパント（不純物）を添加し、有機EL層の発光の色を変化させても良い。ドーパントとしてDCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクドリオン等が挙げられる。

【0143】【実施例7】本実施例では、1つの画素に3つのTFTを有する画素構造を示す。

【0144】本発明の画素構造の具体例の一つを図8に示す。また、図8に示す画素構造の等価回路を図9に示した。

【0145】図8及び図9に示すように、画素部は、行10方向に配置された第1のゲート配線801、第2のゲート配線802と、列方向に配置されたソース配線803、電流供給線804とを有している。また、画素部は、第1のゲート配線801と接続している第1の電極805の一部をゲート電極とし、接続電極808によってソース配線803と接続しているスイッチング用TFT902を有している。また、画素部は、接続電極810によって発光素子904と接続し、接続電極811によって電流供給線804と接続している電流制御用TFT903を有している。また、画素部は、第2のゲート配線802と接続している第3の電極807の一部をゲート電極とし、接続電極813によって電流供給線804と接続している消去用TFT906を有している。

【0146】また、各TFTは互いに接続しており、消去用TFT906は接続電極812によって電流制御用TFT903のゲート電極と接続されており、電流制御用TFT903は、接続電極809によってスイッチング用TFTのドレイン領域と接続されている。

【0147】ただし、第1のゲート配線801は、行方向に配置された島状の第1の電極805と接続したものを指している。また、第1のゲート配線801は第2絶縁膜上に接して設けられたものである。一方、第2のゲート配線802は、行方向に配置された島状の第3の電極807と接続したものを指している。また、島状の第1の電極805、第2の電極806、及び第3の電極807は、ソース配線803、電流供給線804と同様に第1絶縁膜上に接して形成されたものである。

【0148】また、接続電極808～813は、第1のゲート配線801、及び第2のゲート配線802と同様に第2絶縁膜（以下、層間絶縁膜とも呼ぶ）上に形成されたものである。

【0149】また、画素部は、第2の半導体層901を一方の電極とし、その第2の半導体層を接して覆う絶縁膜を誘電体とし、もう一方の電極を第2の電極806としたり保持容量905を含んでいる。

【0150】また、電流制御用TFT903と接続している接続電極810と接して重なるように画素電極814を配置する。また、画素電極814の端部はソース配線803と重なる。なお、実際には、この画素電極814を陽極として、EL層、陰極、保護電極等形成し、

アクティブマトリクス型EL表示装置が完成する。

【0151】消去用TFTの動作については特願平11-338786号を参照すると良い。

【0152】消去用TFTのドレインは電流制御用TFTのゲートに接続され、電流制御用TFTのゲート電圧を強制的に変化させることができるようになっている。なお、消去用TFTはnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFTと同一構造とすることが好ましい。

【0153】また、本実施例ではスイッチング用TFTと消去用TFTとをマルチゲート構造としたが、特に限定されず、スイッチング用TFT、電流制御用TFT、または消去用TFTのいずれか1つ以上をマルチゲート構造としてもよい。消去用TFTをマルチゲート構造とすることによって、熱による消去用TFTの劣化を抑えることができる。

【0154】なお、本実施例では画素内に3つのTFTを設けた構造を示したが、本発明のEL表示装置は画素内にいくつのTFTを設けた構造としても良い。例えば、四つ乃至六つまたはそれ以上のTFTを設けても構わない。本発明はEL表示装置の画素構造に限定されず、実施することが可能である。

【0155】【実施例8】本実施例では画素電極の端部と接して重なる絶縁物をストライプ状に電流供給線またはソース配線と重なるように配置した例である。

【0156】図10は実施例7において、電極のみを示した上面図を示している。実際には半導体層やコンタクトホールが存在しているが簡略化のために省略した。また、同じ符号を用いた箇所は同一である。なお、図10において、鎖線で挟まれ電流供給線804と重なる部分には絶縁物が形成されている。

【0157】まず、実施例7に示した図8の状態を得た後、有機絶縁膜を形成し、所望の形状にエッチングする。画素電極814の端部を覆うように有機樹脂膜からなる絶縁物1000、1001をストライプ状に形成する。そして、有機樹脂膜からなる絶縁物1000、1001の間にEL層1002が形成される。次いで、全面に陰極1003が形成され、その上に保護電極1004、保護絶縁膜1005が形成される。この絶縁物1000、1001は隣り合う画素電極間で生じる短絡を防止する役目を果たしている。また、陰極である画素電極814と陰極1003との短絡を防ぐ役目を果たしている。

【0158】なお、本実施例はストライプ状に配置した例を示したが、特に限定されず、画素電極の開口部となる部分以外を覆う絶縁物を配置する構造としてもよい。

【0159】【実施例9】本実施例では、アクティブマトリクス型EL表示装置において、生じる画像の輝度むらを抑えるために、しきい値のばらつき ΔV_{th} とチャ

23

ネル幅 W とチャネル長 L との比 W/L の範囲を定める方法を以下に示す。

【0160】ここでは、各画素の発光輝度の差を $\pm n\%$ 以内に抑える例を示す。

【0161】まず、式1から式2を導きだす。

【0162】

【式1】

$$I_d = \frac{1}{2} \cdot \mu \cdot C_0 \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2$$

【0163】

【式2】

$$\frac{W}{L} \cdot (V_{gs} - V_{th})^2 = \frac{2 \cdot I_d}{\mu \cdot C_0}$$

【0164】上記移動度 μ 、ゲート容量の容量値 C_0 はTFTが形成された時点で固定された値である。また所望の発光輝度でEL素子を光らせようとするとき、EL素子の発光輝度と電流密度とは線形の関係にあるので、*

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 \cdot \frac{A}{\Delta V_{th}^2}$$

【0169】上記の式4及び式5を満たす範囲で ΔV_{th} 及び W/L の値を定めれば、ドレイン電流 I_d のばらつきを $\pm n\%$ 以内に抑えることが可能である。

【0170】例えばしきい値電圧のばらつき ΔV_{th} がTFTの作製プロセスによって固定されてしまう場合、しきい値電圧のばらつき ΔV_{th} の値から、式4及び式5によってチャネル幅 W とチャネル長 L の比 W/L の範囲が定まる。

【0171】またデザイン上の問題によってチャネル幅 W とチャネル長 L の比 W/L の値が固定されてしまう場合、チャネル幅 W とチャネル長 L の比 W/L の値から、式4及び式5によってしきい値電圧のばらつき ΔV_{th} の範囲が定まる。

【0172】上記構成によって、本発明のELディスプレイは各画素が有する電流制御用TFTのしきい値電圧のばらつきによる輝度むらを抑えることが可能になる。実際には各画素の発光輝度の差を $\pm 5\%$ 以内、好ましくは $\pm 3\%$ 以内とすることが望ましい。

【0173】また、本実施例の構成は、実施例1〜6のいずれの構成とも自由に組み合わせることが可能である。

【0174】【実施例10】本実施例では、上記各実施例において、EL層を形成する際に使用する成膜装置の例を示す。

【0175】本実施例の成膜装置について図11を用いて説明する。図11において、1101は搬送室(A)であり、搬送室(A)1101には搬送機構(A)1102が備えられ、基板1103の搬送が行われる。搬送室(A)1101は減圧雰囲気になされており、各処理室

*ドレイン電流 I_d の値も固定される。よって式2の右辺は定数 A で置き換え、式3とする。

【0165】

【式3】

$$\frac{W}{L} \cdot (V_{gs} - V_{th})^2 = A$$

【0166】また各画素の発光輝度の差を $\pm n\%$ 以内に抑える場合は、しきい値電圧のばらつき ΔV_{th} とチャネル幅 W とチャネル長 L の比 W/L の関係式は以下の4、式5で表される。

【0167】

【式4】

$$|\Delta V_{th}| \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right) \cdot \sqrt{A \cdot L / W}$$

【0168】

【式5】

$$\frac{A}{(V_{gs(max)} - V_{th})^2} \leq \frac{W}{L} \leq \left(\sqrt{1 + \frac{n}{100}} - 1 \right)^2 \cdot \frac{A}{\Delta V_{th}^2}$$

とはゲートによって遮断されている。各処理室への基板の受け渡しは、ゲートを開けた際に搬送機構(A)によって行われる。また、搬送室(A)1101は減圧するには、油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプ若しくはクライオポンプなどの排気ポンプを用いることが可能であるが、水分の除去に効果的なクライオポンプが好ましい。

【0176】図11の成膜装置では、搬送室(A)1101の側面に排気ポート1104が設けられ、その下に排気ポンプが設置される。このような構造とすると排気ポンプのメンテナンスが容易になるという利点がある。

【0177】以下に、各処理室についての説明を行う。なお、搬送室(A)1101は減圧雰囲気となるので、搬送室(A)1101に直接的に連結された処理室には全て排気ポンプ(図示せず)が備えられている。排気ポンプとしては油回転ポンプ、メカニカルブースターポンプ、ターボ分子ポンプ若しくはクライオポンプが用いられる。

【0178】まず、1105は基板のセッティング(設置)を行うストック室であり、ロードロック室と呼ばれる。ストック室1105はゲート1100aにより搬送室(A)1101と遮断され、ここに基板1103をセットしたキャリア(図示せず)が配置される。なお、ストック室1105は基板搬入用と基板搬出用とで部屋が区別されていても良い。また、ストック室1105は上述の排気ポンプと高純度の窒素ガスまたは希ガスを導入するためのバージョインを備えている。

【0179】また、本実施例では基板1103を、素子形成面を下向きにしてキャリアにセットする。これは後

に気相成膜（スパッタまたは蒸着による成膜）を行う際に、フェイスダウン方式（デブアップ方式ともいう）を行いやすくするためである。フェイスダウン方式とは、基板の素子形成面が下を向いた状態で成膜する方式であり、この方式によればゴミの付着などを抑えることができる。

【0180】次に、1106は搬送室（B）であり、ストック室1105とはゲート1100bを介して連結され、搬送機構（B）1107を備えている。また、1108は焼成室（ベーク室）であり、ゲート1100cを介して搬送室（B）1106と連結している。なお、焼成室1108は基板の面の上下を反転させる機構を有する。即ち、フェイスダウン方式で搬送されてきた基板はここで一旦フェイスアップ方式に切り替わる。これは次のスピニング1109での処理がフェイスアップ方式で行えるようにするためである。また逆に、スピニング1109で処理を終えた基板は再び焼成室1108に戻ってきて焼成され、再び上下を反転させてフェイスダウン方式に切り替わり、ストック室1105へ戻る。

【0181】ところでスピニングを備えた成膜室1109はゲート1100dを介して搬送室（B）1106と連結している。スピニングを備えた成膜室1109はEL材料を含む溶液を基板上に塗布することでEL材料を含む膜を形成する成膜室であり、本実施例ではスピニングを備えた成膜室1109で高分子系（ポリマー系）有機EL材料を成膜する。なお、成膜されるEL材料は、発光層として用いるものだけでなく、電荷注入層または電荷輸送層を含む。また、公知のいかなる高分子系有機EL材料を用いても良い。

【0182】発光層となる代表的な有機EL材料としては、PPV（ポリパラフェニレンビニレン）誘導体、PVK（ポリビニルカルボゾール）誘導体またはポリフルオレン誘導体が挙げられる。これはπ共役ポリマーとも呼ばれる。また、電荷注入層としては、PEDOT（ポリチオフェン）またはPANI（ポリアニリン）が挙げられる。

【0183】なお、本実施例ではスピニングを用いた成膜室を示したが、スピニングに限定する必要はなく、スピニングに代えてディスペンサー、印刷またはインクジェットを用いた成膜室であっても構わない。

【0184】また、本実施例の成膜装置は、実施例1～9のいずれの構成を自由に組み合わせた構成において、EL層を形成する際に使用することが可能である。

【0185】【実施例11】本発明を実施して形成されたEL表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のELディスプレイ（EL表示装置）を筐体に組み込んだディ

スプレイの表示部として本発明のEL表示装置を用いるとよい。

【0186】なお、ELディスプレイには、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子器具の表示部として本発明のEL表示装置を用いることができる。

【0187】その様な電子器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、音響再生装置（オーディオ）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ）、携帯電話、携帯型ゲーム機または電子書籍等、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL表示装置を用いることが望ましい。それら電子器具の具体例を図12に示す。

【0188】図12（A）はELディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0189】図12（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受信部2106等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0190】図12（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、EL表示装置2206等を含む。本発明はEL表示装置2206に用いることができる。

【0191】図12（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（CD、LDまたはDVD等）2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305等を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明のEL表示装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。

【0192】図12（E）は携帯型（モバイル）コンピュータであり、本体2401、カメラ部2402、受信

27

部 2403、操作スイッチ 2404、表示部 2405 等を含む。本発明の E.L 表示装置は表示部 2405 に用いることができる。

【0193】図 12 (F) はパーソナルコンピュータであり、本体 2501、筐体 2502、表示部 2503、キーボード 2504 等を含む。本発明の E.L 表示装置は表示部 2503 に用いることができる。

【0194】なお、将来的に E.L 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0195】また、上記電子器具はインターネットや C.A.T.V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。E.L 材料の応答速度は非常に高いため、E.L 表示装置は動画表示に好ましいが、画素間の輪郭がぼやけてしまつては動画全体もぼけてしまう。従つて、画素間の輪郭を明確にするという本発明の E.L 表示装置を電子器具の表示部として用いることは極めて有効である。

【0196】また、E.L 表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従つて、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に E.L 表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0197】ここで図 13 (A) は携帯電話であり、本体 2601、音声出力部 2602、音声入力部 2603、表示部 2604、操作スイッチ 2605、アンテナ 2606 等を含む。本発明の E.L 表示装置は表示部 2604 に用いることができる。なお、表示部 2604 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0198】また、図 13 (B) は音響再生装置、具体的にはカーオーディオであり、本体 2701、表示部 2702、操作スイッチ 2703、2704 等を含む。本発明の E.L 表示装置は表示部 2702 に用いることができる。また、本実施例では車載用カーオーディオを示すが、据え置き型のオーディオに用いても良い。なお、表示部 2704 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオにおいて特に有効である。

【0199】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子器具に用いることが可能である。また、本実施例の電子器具には実施例 1~10 に示したいずれの構成の E.L 表示装置を用いても良い。

【0200】〔実施例 12〕本発明において、三重項励起子からの燐光を発光に利用できる E.L 材料を用いることで、外部発光量子効率を飛躍的に向上させることがで

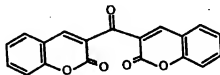
きる。これにより、E.L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0201】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

【0202】上記の論文により報告された E.L 材料 (クマリン色素) の分子式を以下に示す。

【0203】

【化 1】

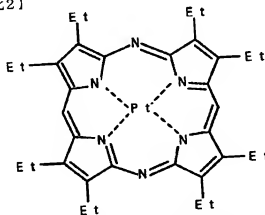


【0204】(M.A. Baldo, D.F.O'Brien, Y. You, A. Shoustikov, S. Sibley, M.E. Thompson, S.R. Forrest, Nature 395 (1998) p. 151.)

【0205】上記の論文により報告された E.L 材料 (P 錯体) の分子式を以下に示す。

【0206】

【化 2】

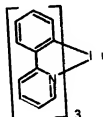


【0207】(M.A. Baldo, S. Lamansky, P.E. Burrows, M.E. Thompson, S.R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yabuchi, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Maeyuchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0208】上記の論文により報告された E.L 材料 (I r 錯体) の分子式を以下に示す。

【0209】

【化 3】



29

【0210】以上のように三重項励起からの蛍光発光を利用できれば原理的には一重項励起からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0211】なお、本実施例の構成は、実施例1～実施例11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0212】

【発明の効果】本発明によりマスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有するアクティブマトリクス型EL表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の画素部上面図を示す図。(実施例1)

【図2】 本発明の画素部における等価回路を示す図。(実施例1)

【図3】 アクティブマトリクス基板の作製工程を示す

*す図。(実施例1)

【図4】 アクティブマトリクス基板の作製工程を示す図。(実施例1)

【図5】 アクティブマトリクス基板の作製工程を示す図。(実施例1)

【図6】 アクティブマトリクス型EL表示装置の外観上面図及び断面図を示す図。(実施例1)

【図7】 本発明の画素部上面図を示す図。(実施例4)

【図8】 本発明の画素部上面図を示す図。(実施例7)

【図9】 本発明の画素部における等価回路を示す図。(実施例7)

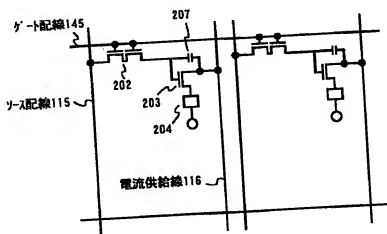
【図10】 本発明の画素部上面図及び断面図を示す図。(実施例8)

【図11】 製造装置を示す図。(実施例10)

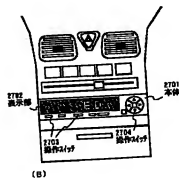
【図12】 電子機器の一例を示す図。(実施例11)

【図13】 電子機器の一例を示す図。(実施例11)

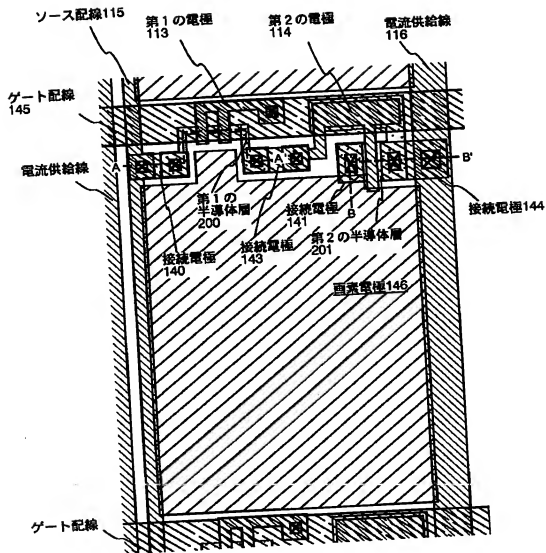
【図2】



【図13】



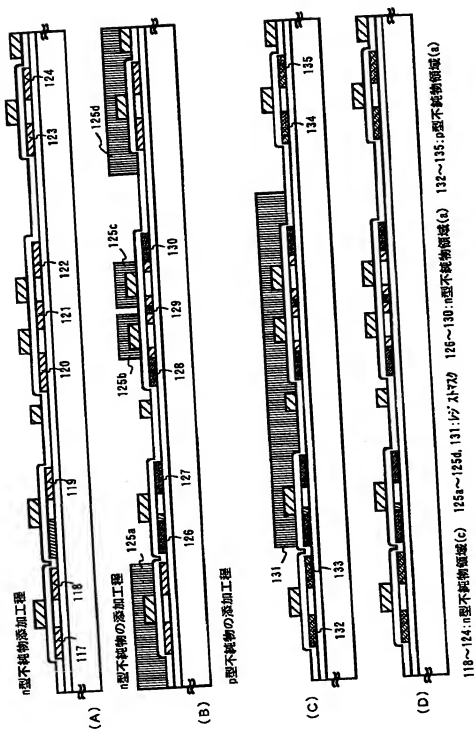
【圖 1】



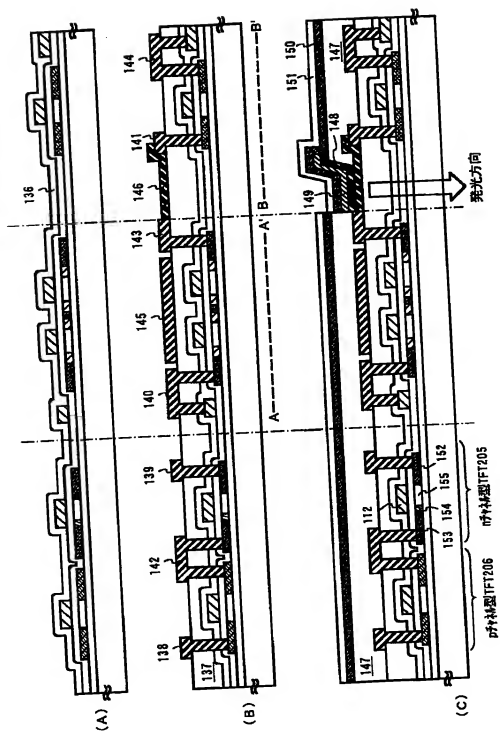
〔図3〕



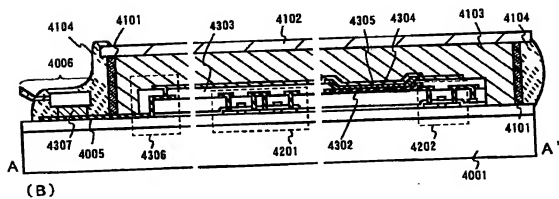
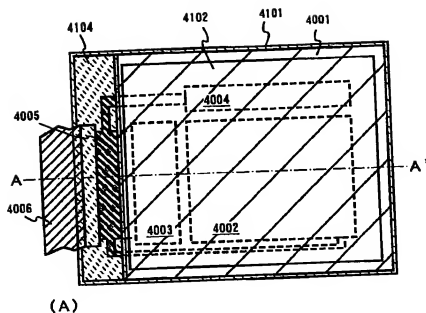
【図4】



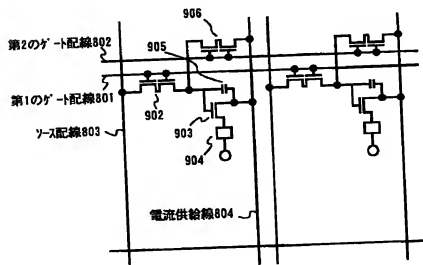
【図5】



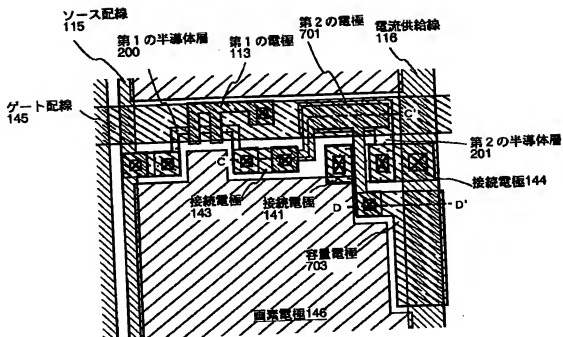
【圖6】



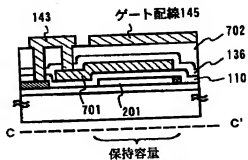
【图9】



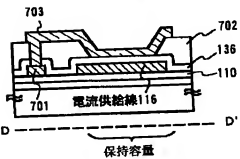
【圖7】



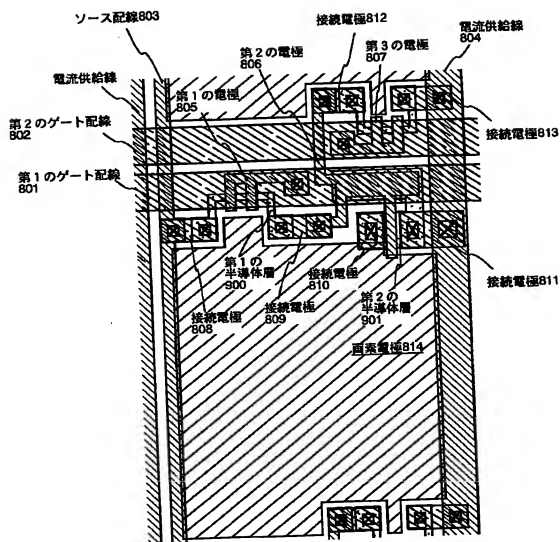
(A)



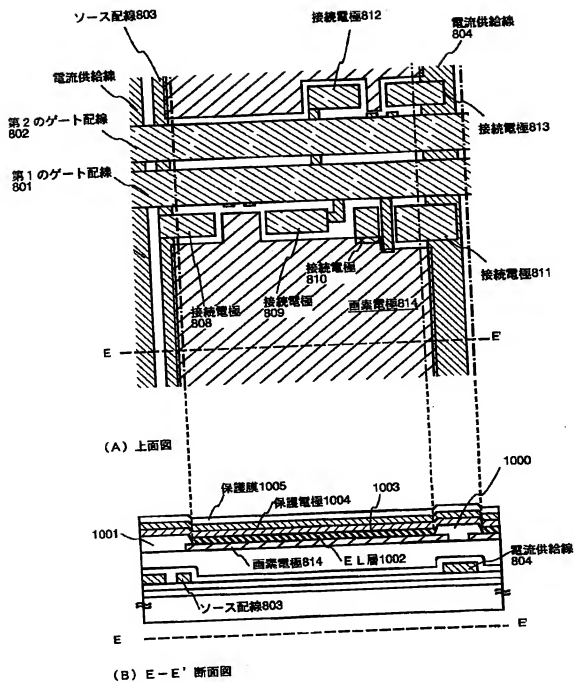
(B)



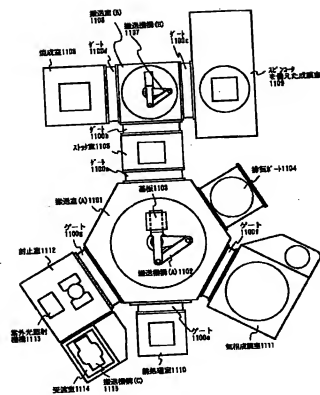
【図8】



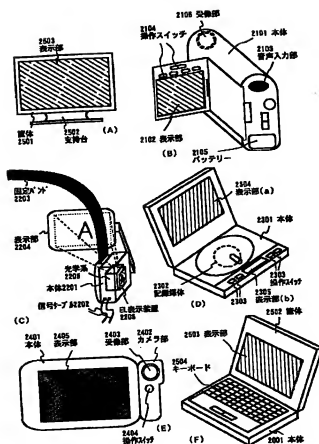
【図10】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.